

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-192764

(43)Date of publication of application : 22.08.1991

(51)Int.Cl.

H01L 27/146

H01L 27/148

H04N 5/335

(21)Application number : 01-334472

(71)Applicant : MINOLTA CAMERA CO LTD

(22)Date of filing : 21.12.1989

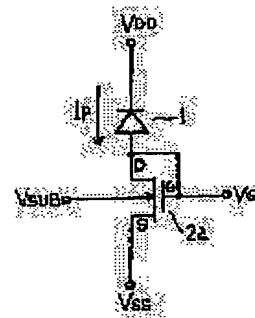
(72)Inventor : MIYATAKE SHIGEHIRO
TAKADA KENJI
HASEGAWA JUN
NANBA YASUHIRO

(54) SOLID-STATE IMAGE SENSING DEVICE

(57)Abstract:

PURPOSE: To obtain a solid-state image sensing device which is wide in dynamic range and able to accurately pickup the image of an object which ranges from a high to a low brightness by a method wherein a photocurrent is logarithmically, compressedly converted through a MOS transistor by the use of its sub-threshold current characteristics.

CONSTITUTION: A solid-state image sensing device is composed of a light sensing means 1 which is able to generate a photocurrent corresponding to the volume of incident light, a MOS transistor 2a to which a photocurrent is inputted, and a bias means V_{SUB} which biases the MOS transistor 2a so as to enable a sub-threshold current to flow through the transistor 2a with a voltage of a threshold value or below, where the MOS transistor 2a logarithmically, compressedly converts a photocurrent through its sub-threshold current characteristics. Therefore, signal charge is compressed into a logarithmic value of the incident light amount at a photoelectric conversion section, whereby the signal charge previously becomes a small amount of charge and serves as an output signal through a signal transfer section. By this setup, a solid-state image sensing device of this design can accurately pick up the image of a subject which ranges from a high to a low brightness independent of the influence of the dynamic range of a signal transfer section.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

·[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-192764

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月22日

H 01 L 27/146

8122-5F
8122-5F

H 01 L 27/14

A
B※

審査請求 未請求 請求項の数 9 (全10頁)

⑮ 発明の名称 固体撮像装置

⑯ 特 願 平1-334472

⑰ 出 願 平1(1989)12月21日

⑱ 発 明 者 宮 武 茂 博 大阪府大阪市中央区安土町2丁目3番13号 大阪国際ビル
ミノルタカメラ株式会社内

⑲ 発 明 者 高 田 謙 二 大阪府大阪市中央区安土町2丁目3番13号 大阪国際ビル
ミノルタカメラ株式会社内

⑳ 発 明 者 長 谷 川 潤 大阪府大阪市中央区安土町2丁目3番13号 大阪国際ビル
ミノルタカメラ株式会社内

㉑ 出 願 人 ミノルタカメラ株式会 大阪府大阪市中央区安土町2丁目3番13号 大阪国際ビル
社

㉒ 代 理 人 弁理士 佐野 静夫
最終頁に続く

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

(1) 入射した光量に応じた光電流を発生しうる感光手段と、前記光電流を入力するMOSトランジスタと、前記MOSトランジスタを閾値電圧以下で且つサブスレッショールド電流が流れうる状態にバイアスするバイアス手段と、からなり、前記MOSトランジスタはサブスレッショールド電流特性により前記光電流を対数圧縮変換することを特徴とする固体撮像装置。

(2) 第1MOSトランジスタのドレインとゲートを前記感光手段と接続したことを特徴とする第1請求項に記載の固体撮像装置。

(3) 第1MOSトランジスタのドレインとゲートおよび第2MOSトランジスタのゲートを前記感光手段と接続し、前記第2MOSトランジスタのソースをコンデンサと接続したことを特徴とする第1請求項に記載の固体撮像装置。

(4) 前記第2MOSトランジスタのドレインにパルス電圧を印加するようにしたことを特徴とする第3請求項に記載の固体撮像装置。

(5) 第1MOSトランジスタのドレインとゲートおよびCCDの第1のゲートを前記感光手段と接続し、該CCDの第2のゲートに直流電圧を印加するようにしたことを特徴とする第1請求項に記載の固体撮像装置。

(6) 前記CCDの入力ダイオードにパルス電圧を印加することを特徴とする第5請求項に記載の固体撮像装置。

(7) 前記第1MOSトランジスタのゲートに予備充電のためのトランジスタを設けたことを特徴とする第2請求項乃至第5請求項のいずれかに記載の固体撮像装置。

(8) 前記予備充電のためのトランジスタの一部を前記感光手段を構成するフォトダイオードの一部と共用したことを特徴とする第7請求項に記載の固体撮像装置。

(9) 上記MOSトランジスタに基板電圧を印加

して使用することを特徴とする第1請求項乃至第8請求項のいずれかに記載の固体撮像装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、光信号を電気信号に変換する固体撮像装置に関し、特に、その光電変換特性が圧縮特性である非線形光電変換装置を有する固体撮像装置に関するものである。

従来の技術

固体撮像装置は、小型、軽量で低消費電力であるのみならず、画像歪や焼き付きがなく、振動や磁界などの環境条件に強い。また、LSIと共通あるいは類似の工程で製造できることから、信頼性が高く、量産にも適している。このため現在、1次元固体撮像装置はファクシミリなどに、2次元固体撮像装置はビデオカメラなどに幅広く用いられている。

発明が解決しようとする課題

しかしながら、多くの固体撮像装置は、銀塩フィルムと比較してダイナミックレンジが狭く、こ

のため露光量を精密に制御する必要があり、また露光量を精密に制御しても、暗い部分が黒くつぶれたり、明かるい部分が飽和したりすることが生じやすいという欠点がある。

本発明はこれらの問題を解決し、ダイナミックレンジが広く、高輝度から低輝度までを高精度に撮像することのできる固体撮像装置を提供することを目的とする。

課題を解決するための手段

上記目的を達成するため、本発明の固体撮像装置は、入射した光量に応じた光電流を発生しうる感光手段と、前記光電流を入力するMOSトランジスタと、前記MOSトランジスタを閾値電圧以下で且つサブスレッショルド電流が流れうる状態にバイアスするバイアス手段と、からなり、前記MOSトランジスタはサブスレッショルド電流特性により前記光電流を対数圧縮変換するようになっている。

そして、前記MOSトランジスタの出力はCCD等の信号転送部に供給される。

作用

CCDをはじめとする多くの固体撮像装置のダイナミックレンジの狭さは、主として信号転送部において多くの信号電荷を転送できないことに起因している。しかるに、本発明の構成によると、光電変換部において信号電荷が圧縮される。すなわち、信号電荷は光電変換部において入射光量の対数値に圧縮されることにより予め少量の信号電荷となり、その後、信号転送部を経て出力信号となる。このため、本発明の固体撮像装置では、信号転送部のダイナミックレンジの影響を受けず、高輝度から低輝度までを高精度に撮像できることになる。

実施例

まず、本発明の具体例を説明する前に、本発明の対数圧縮変換の原理について述べる。

MOSトランジスタでは、ゲート電圧が閾値電圧以下のときサブスレッショルド電流(sub-threshold current)と呼ばれる微少電流が流れる。これはゲート酸化膜直下のシリコン表面が弱反転

(weak inversion)状態になることに起因しており、サブスレッショルド電流は、一般にMOSトランジスタの好ましくない特性の1つと考えられて来た。本発明の固体撮像装置では、このサブスレッショルド電流を逆に利用して光電変換特性を制御するようにしている。

サブスレッショルド電流は以下のようにあらわされる(参考文献: R.M. Swanson and J.D. Meindl, "Ion-implanted complementary MOS transistors in low-voltage circuits," IEEE Journal of Solid-State Circuits, vol. SC-7, No.2, pp. 146-153, Apr. 1972)。

すなわち、MOSトランジスタのドレイン電流 I_D は、 n チャネルMOSトランジスタの場合、 $V_G - V_T \leq V_T + n(kT/q)$ のとき

$$I_D = -\frac{Z}{L} \mu_n C_o \frac{1}{m} \left(n \frac{kT}{q} \right)^2 \exp \left\{ \frac{q}{n k T} (V_G - V_T - V_T - n \frac{kT}{q}) \right\} \\ \cdot \left\{ 1 - \exp \left[\frac{-m q}{n k T} (V_G - V_T) \right] \right\}$$

-----①
 ここで V_g : ゲート電圧 V_D : ドレイン電圧
 V_S : ソース電圧 V_T : 閾値電圧
 Z : トランジスタチャネル幅
 L : トランジスタチャネル長
 μ_n : 電子移動度 q : 電子電荷量
 k : ボルツマン定数 T : 絶対温度
 C_o : ゲート絶縁膜容量

$$\text{また、 } m = \frac{C_o + C_d}{C_o}$$

$$n = \frac{C_o + C_d + C_{fs}}{C_o}$$

$$C_{fs} = q N_{fs}$$

であり、 C_d : 空乏層容量 N_{fs} : 表面単位密度である。

$N_{fs} = 0$ のときには $m = n$ であり、このとき

①式より、

$$V_g - V_S > \frac{kT}{q} \text{ ならば}$$

$$I_D = I_{D0} \exp \left\{ \frac{q}{n k T} (V_g - V_S - V_T) \right\} \quad \text{-----②}$$

MOSトランジスタ(2a)のバックゲート(基板)にはDC電圧 V_{DD} が印加されている。なお、ここで $V_{DD} > V_{SS} \geq V_{SUB}$ であり、フォトダイオード(1)には逆バイアスが、MOSトランジスタ(2a)のソース(S)およびドレイン(D)と基板にも逆バイアスが印加されている。

感光部に光が入射すると光の強度に比例した光電流 I_P がフォトダイオード(1)のカソードからアノードへ流れる。

一方MOSトランジスタ(2a)を流れる電流 I_D は、

$$V_D = V_S \text{ だから}$$

$$\frac{kT}{q} < V_g - V_{SS} \leq V_T + \frac{n k T}{q} \quad \text{-----④}$$

のとき②式より

$$I_D = I_{D0} \exp \left\{ \frac{q}{n k T} (V_g - V_{SS} - V_T) \right\} \quad \text{-----⑤}$$

となる。

定常状態では

$$I_D = I_P$$

$$I_{D0} = \frac{Z}{L} \mu_n C_o \frac{1}{n} \left(\frac{kT}{q} \right)^2 \exp(-1) \quad \text{-----③}$$

を得る。

$$\text{②式は、 } V_g - V_S \leq V_T + n \left(\frac{kT}{q} \right),$$

$V_g - V_S > \frac{kT}{q}$ のときドレイン電流がゲート・ソース間電圧の指数関数であることを示している。

本発明では、以下に示すように、MOSトランジスタの前記微少電流特性を積極的に利用する。

以下本発明の実施例を図面を参照しつつ説明する。

第1図は、本発明に係る固体撮像装置内の1画素の構成例を示したものである。

ここで、pn接合フォトダイオード(1)が感光部を形成し、そのアノードがnチャネルMOSトランジスタ(2a)のドレイン(D)とゲート(G)に接続されている。また、フォトダイオード(1)のカソードにはDC(直流)電圧 V_{DD} が、MOSトランジスタ(2a)のソース(S)にはDC電圧 V_{SS} が、

だから、

$$I_P = I_{D0} \exp \left\{ \frac{q}{n k T} (V_g - V_{SS} - V_T) \right\} \quad \text{-----⑥}$$

を得る。これより

$$V_g = V_{SS} + V_T + \frac{n k T}{q} \ln \frac{I_P}{I_{D0}} \quad \text{-----⑦}$$

となり、④式が満たされていれば、光電流が対数変換されて電圧 V_g となることが分る。

④式は、以下に示すように、 V_{SUB} 電圧を調整することにより満足させることができる。

②式より I_D は V_T の関数であり、一方 V_T は次のようにあらわされる。

$$V_T = \Phi_{MS} - q N_{fs} / C_o + 2 \Phi_f + \sqrt{2 \epsilon_{si} \epsilon_o} \quad \text{-----⑧}$$

$$q N_{fs} (|2 \Phi_f| + V_{SS} - V_{SUB}) / C_o$$

ここで

Φ_{MS} : ゲート電極とシリコン基板の仕事函数差

Φ_f : シリコン基板フェルミレベル

ϵ_{si} : シリコン比誘電率

ϵ_o : 真空誘電率

N_A : シリコン基板不純物濃度

すなわち、④式より $V_{gs} - V_{th} (= V_g - V_{th})$ によって V_r が変化し、これによって I_o も変化するから、 V_{th} を適切に設定することによって④式を満たす動作状態とすることができるのである。

以下実例を挙げて説明する。

ここで、次の定数を用いる。

$$N_A = 1 \times 10^{15} / \text{cm}^3$$

$$Z/L = 1$$

$$\mu_n = 1000 \text{ cm}^2 / \text{V} \cdot \text{sec}$$

$$T = 300 \text{ K}$$

$$C_o = 3.5 \times 10^{-4} \text{ F} / \text{cm}^2$$

ゲート電極をアルミニウムとすれば上記基板濃度のとき

$$\Phi_{ms} = -0.9 \text{ V}$$

となる。

また、簡単のために

$$C_d = C_{fs} = 0, N_{fs} = 0$$

とすれば、

$$V_r = 0.06 \sim V_r = 0.36$$

すなわち、

$$V_g - V_{th} = 0 \text{ V のとき } 0.02 \sim -0.28$$

$$V_g - V_{th} = 5 \text{ V のとき } 0.85 \sim 0.55$$

となり、 $V_g - V_{th} = 0 \text{ V}$ のときには④式は満足しないが、 $V_g - V_{th} = 5 \text{ V}$ とすれば④式が満足されることが分る。以上のように、 V_{th} を適切な電圧とすることによって、光電流を対数圧縮した電圧に変換することができる。

第2図は、第1図に示した実施例に積分回路を付加した固体撮像装置の1画素の構成例を示したものである

ここで、 $p-n$ 接合フォトダイオード(1)が感光部を形成し、このアノードが第1の n チャネル MOS トランジスタ(2a)のドレインとゲートおよび第2の n チャネル MOS トランジスタ(2b)のゲートに接続されている。また、フォトダイオード(1)のカソードには DC 電圧 V_{ss} が、第1 MOS トランジスタ(2a)のソースには DC 電圧 V_{ss} が、第2 MOS トランジスタ(2b)のドレインには DC

$$m = n = 1$$

となる。

このとき

$$I_{so} = 1000 \times 3.5 \times 10^{-4} \times (0.026)^2 \times 0.368 \\ = 8.70 \times 10^{-9}$$

一方、閾値電圧は

$$V_g - V_{th} = 0 \text{ V のとき}$$

$$V_r(0) = -0.9 + 0.58$$

$$+ \frac{\sqrt{2 \times 11.7 \times 8.85 \times 10^{-14} \times 1.6 \times 10^{-19} \times 10^{15} \times 0.58}}{3.5 \times 10^{-4}} = 0.08$$

$$V_g - V_{th} = 5 \text{ V のとき}$$

$$V_r(5) = 0.91$$

素子面照度として、以下の範囲を対象とする。

$$0.1 \text{ lx} \sim 10^4 \text{ lx}$$

このときフォトダイオードの面積を $100 \mu\text{m}^2$ とすれば、光電流 I_r は大略以下ようになる。

$$10^{-14} \sim 10^{-9} \text{ A}$$

上記光電流と④式より $V_g - V_{th}$ は下記範囲となる。

電圧 V_{ss} が印加されている。さらに、第2 MOS トランジスタ(2b)のソースは容量 C のコンデンサ(3)を介して DC 電圧 V_{ss} に接続されている。一方、第1 MOS トランジスタ(2a)の基板には DC 電圧 V_{ss} が印加され、第2 MOS トランジスタ(2b)の基板は、第2 MOS トランジスタ(2b)が第1 MOS トランジスタ(2a)と同一の基板上またはウェル内に形成される場合には DC 電圧 V_{ss} が印加され、第2 MOS トランジスタ(2b)が第1 MOS トランジスタ(2a)と異なる基板上またはウェル内に形成される場合には DC 電圧 V_{ss} が印加または第2 MOS トランジスタ(2b)のソースに接続されている。

この実施例では、以下に示すように、光電流 I_r の積分値が対数圧縮されて、第2 MOS トランジスタ(2b)のソースとコンデンサ(3)の接続点の電圧 V_o となる。

以下の説明では、第1 MOS トランジスタ(2a)と第2 MOS トランジスタ(2b)の特性を同一と仮定し、また、第2 MOS トランジスタ(2b)の基板

が第2 MOSトランジスタ(2b)のソースに接続されている場合について行う。

第1および第2 MOSトランジスタ(2a)(2b)のゲート電圧を V_g とすれば⑦式より

$$V_g = V_{ss1} + V_T + \frac{n k T}{q} \ln \frac{I_p}{I_{00}} \quad \text{⑧}$$

となり、第2 MOSトランジスタ(2b)を流れる電流 I_z は②式より

$$I_z = I_{00} \exp \left(\frac{q}{n k T} (V_g - V_0 - V_T) \right) \quad \text{⑨}$$

を得る。

また、次の関係が成り立つ。

$$I_z = C \frac{d V_0}{d t} \quad \text{⑩}$$

⑧、⑨、⑩式より次式を得る。

$$C \frac{d V_0}{d t} = I_p \exp \left(\frac{q}{n k T} (V_{ss1} - V_0) \right)$$

すなわち

$$\begin{aligned} & \exp \left(\frac{q}{n k T} (V_0 - V_{ss1}) \right) d V_0 \\ &= \frac{I_p}{C} d t \quad \text{⑪} \end{aligned}$$

よび第4図(a)及び(b)はこのための回路およびパルスタイミングを示したものである。パルスタイミングは、CCDへの電荷入力に電荷平衡法を用いている。

第3図ではリセットのために第3 MOSトランジスタ(2c)を用いているが、第4図ではトランジスタの追加を行わず、第2 MOSトランジスタ(2b)のドレインにパルス印加するようにしている。いずれの場合にも、ここでは3相駆動CCDが用いられており、 ϕ_1, ϕ_2, ϕ_3 のパルスによって電荷が転送される。また、 V_{ss} にはDC電圧が印加され、この電極直下のチャネル電位と、 V_0 が接続された電極直下のチャネル電位の差によって信号電荷が注入される。

以下に動作の説明を行う。

$t = t_1$ で ϕ_1 が高レベル(第3図の場合)又は ϕ_3 が低レベル(第4図の場合)になると、 V_0 は電圧 V_{ss1} に設定される。その後 V_0 は⑪式に従って(但し $V_{01} = V_{ss1}$)増加していく。 $t = t_2$ で ϕ_1 が低レベルになると、 $V_0 - V_{ss}$ に比例し

$t = 0$ のとき $V_0 = V_{01}$ として⑪式を積分すると

$$\begin{aligned} V_0 &= V_{ss1} + \frac{n k T}{q} \ln \left\{ \frac{q}{n k T C} \int I_p d t + \exp \left(\frac{q}{n k T} (V_{01} - V_{ss1}) \right) \right\} \quad \text{⑫} \end{aligned}$$

を得る。

⑫式は、光電流 I_p の積分値と $V_{01} - V_{ss1}$ で決まる一定値との和が電圧 V_0 に対数変換されることを示している。この一定値は $V_{01} - V_{ss1}$ が小さいほど小さくなることから、第1 MOSトランジスタ(2a)のソース電圧に対して V_0 の初期値 V_{01} を低く設定すればより正確に対数変換できることになる。

以上述べた回路により得られた出力電圧は、たとえば電位平衡法(武石、香山監訳“電荷転送デバイス”p. 43を参照)などによってCCDに電荷入力することができる。この場合、CCDへの電荷入力後、 V_0 電位を初期値 V_{01} に設定した後、再び積分を開始することが必要となる。第3図お

た電荷が V_0 電極直下に蓄積される。 $t = t_2$ で ϕ_1 が高レベルになると、この蓄積電荷が ϕ_1 電極直下に転送される。以後 ϕ_2, ϕ_3 が順次高レベルになることにより信号電荷はCCDシフトレジスタ内を転送されて行く。 $t = t_3$ で再び ϕ_1 が高レベル又は ϕ_3 が低レベルになり、 V_0 は再び電圧 V_{ss1} に設定され、次の積分が開始される。

以上のようにして、対数圧縮された信号をCCDへ電荷注入し、転送することができる。

第5図は、CCDへの電荷注入に関し、第3図、第4図と異なる実施例について示したものである。

本実施例では、第3図と第4図の実施例における第2 MOSトランジスタ(2b)がCCDと統合されている。すなわち、第5図(a)に示すように、感光部のpn接合フォトダイオード(1)のカソードにはDC電圧 V_{ss} が印加され、該フォトダイオード(1)のアノードは、MOSトランジスタ(2a)のゲートとドレインおよびCCDの第1電極と接続されている。また、該MOSトランジスタ(2a)のソースにはDC電圧 V_{ss} が印加され、CCDの

第2電極にはDC電圧 V_p が印加されている。CCDの第3電極には ϕ_1 パルスが、第4電極には ϕ_2 パルスが、第5電極には ϕ_3 パルスが印加され、 ϕ_1, ϕ_2, ϕ_3 パルスは第6電極以降の電極に順に印加される。一方CCDの入力ダイオード(50)には ϕ_4 パルスが印加される。

これらのパルスのタイミングを第5図(b)に、断面図に対応した各部のチャネル電位を第5図(c)に示す。以下に動作の説明を行う。

$t = t_1$ において ϕ_4 が低レベルになると、電子が V_p 電極下を通過して V_p 電極下に注入される。 $t = t_2$ で ϕ_4 が高レベルになると、過剰な電子が入力ダイオードにもどる。以上がリセット動作に相当し、この動作のあと積分状態にはいる。この状態では、 V_p 電極直下の電子が V_p 電極下を通過して入力ダイオード(50)に放出されて行く。これは、入力ダイオード(50)から V_p 電極直下部分に電流が流れることに相当し、この電流値は V_p 電圧と V_p 電極直下部分の電圧差の指数関数となる。すなわち、本実施例の構成では、CCDの入力ダ

イオード(50)が第4図における第2MOSトランジスタ(2b)のドレインに相当し、CCDの第2ゲート直下に蓄積される電子が第2MOSトランジスタ(2b)のソースおよびソースに接続されたコンデンサに蓄積される電荷に相当することになる。以上のようにして積分が行われ、 $t = t_2$ で積分期間が終了したあと $t = t_3$ で ϕ_4 が高レベルになり、 V_p 電極直下に蓄積された電子がCCDへ転送される。

次に高速動作への対応について述べる。

第1図～第5図において、第1MOSトランジスタ(2a)のゲート部分には浮遊容量があり、高速動作のためには、この浮遊容量が積分時間に対して充分短い時間で充放電し、光電流 I_p の変化に追従する必要がある。第1MOSトランジスタ(2a)はゲートとドレインが接続されているため、前記浮遊容量の放電(光電流 I_p が大から小への変化)はMOSトランジスタにより行われるが、充電(光電流 I_p が小から大への変化)は光電流 I_p によって行わなければならない、後者は前者に比

し時間を要することになる。第6図はかかる問題に鑑みた実施例を示したものであり、第1MOSトランジスタ(2a)のゲートにプリチャージ(予備充電)トランジスタ(2p)が付加されている。積分開始前に該プリチャージトランジスタ(2p)をプリチャージパルス ϕ_p によって導通状態として第1MOSトランジスタ(2a)のゲート電位を高くしておく、積分開始とともに第1MOSトランジスタ(2a)は放電状態となるので、光電流に対応したゲート電圧を短時間で得ることができる。

第7図は第6図のプリチャージトランジスタ(2p)にpチャネルMOSトランジスタを用いた実施例を示したものである。同図において、(イ)は平面図、(ロ)は電気回路図、(ハ)は構造断面図である。本実施例ではpチャネルMOSトランジスタのドレインがフォトダイオードのアノードを兼ねている。すなわち、本実施例においてはP型基板(4)上にnウェル(5)を形成し、該nウェル(5)をフォトダイオード(1)のカソードとし、その上部に拡散形成されたP⁺領域(6)をアノー

ドとする。更に、nウェル(5)上にpチャネルMOSトランジスタ(2p)を形成し、その際、前記P⁺領域(6)を該pチャネルMOSトランジスタ(2p)のドレインとすることにより前記P⁺領域(6)をフォトダイオード(1)のアノードと共用する。尚、nウェル(5)上のもう1つのP⁺領域(7)は前記トランジスタ(2p)のソースとなっている。このような構成において、nウェル(5)にアルミニウム電極(8)からn⁺領域(9)を介してDC電圧 V_{ss} を、pチャネルMOSトランジスタ(2p)のソース(7)にDC電圧 V_p を、ゲートにはその電極(10)にプリチャージパルス ϕ_p を印加する。またP基板(4)上にはnチャネルMOSトランジスタ(2a)やCCDを形成し、第1図～第5図の回路を形成することができる。nチャネルMOSトランジスタ(2a)はn⁺領域(13)(14)をそれぞれソース、ドレインとし、(15)をゲート電極として構成されている。本発明に直接関係ないが、第7図においてpチャネルMOSトランジスタ(2p)のゲート電極(10)の上方のアルミニウム配線(11)はポリシリ

第1頁の続き

⑤Int. Cl.⁵

識別記号

庁内整理番号

H 01 L 27/148
H 04 N 5/335

E

8838-5C

⑦発 明 者 難 波

靖 弘

大阪府大阪市中央区安土町2丁目3番13号 大阪国際ビル
ミノルタカメラ株式会社内